

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-062463
 (43)Date of publication of application : 12.03.1993

(51)Int.CI. G11C 11/401
 G11C 11/409
 H01L 27/108

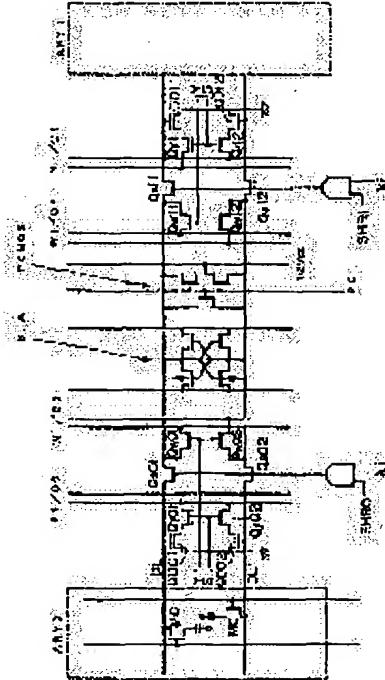
(21)Application number : 03-244862	(71)Applicant : HITACHI LTD HITACHI DEVICE ENG CO LTD
(22)Date of filing : 30.08.1991	(72)Inventor : MAEDA TOSHIO MIYAZAWA KAZUYUKI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To attain the high speed of the data reading speed of a dynamic RAM of a direct sense system, and the reduction of the variation of an access by an address.

CONSTITUTION: A common I/O line is divided into the common I/O line for a read and that for a write. A shared MOS is provided on a data, and a sense amplifier, write I/O, precharge MOS or the like except the common I/O line for a read are separated from the data line by the shared MOS at the time of reading. After reading the data by the direct sense system, the above mentioned shared MOS is turned ON, the level difference of the data line is amplified by the sense amplifier, and the data are rewritten in a selected memory cell. Thus, a data line capacity at the time of reading can be reduced, a data line signal amount is increased, and the high speed access and the reduction of access dispersion by the address can be attained. Moreover, the performance and reliability of the memory can be improved without generating the increase of a chip area or the increase of a cost.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

[of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-62463

(43)公開日 平成5年(1993)3月12日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 11 C 11/401 11/409				
H 01 L 27/108	8320-5L	G 11 C 11/ 34	3 6 2 B	
	8320-5L		3 5 3 F	

審査請求 未請求 請求項の数3(全8頁) 最終頁に続く

(21)出願番号	特願平3-244862	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成3年(1991)8月30日	(71)出願人	000233088 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地
		(72)発明者	前田 敏夫 千葉県茂原市早野3681番地 日立デバイス エンジニアリング株式会社内
		(72)発明者	宮沢 一幸 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(74)代理人	弁理士 大日方 富雄

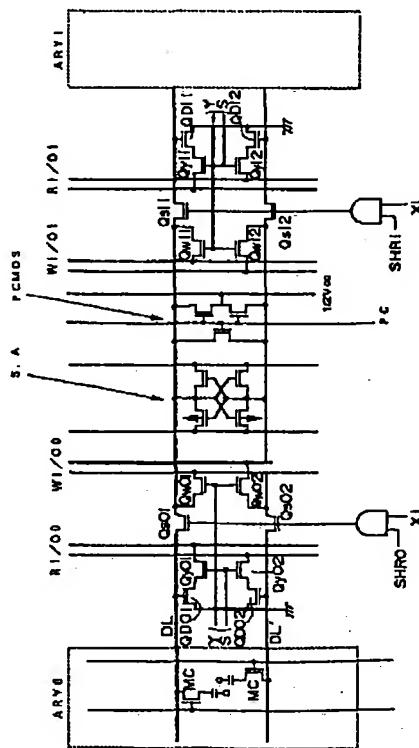
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 ダイレクトセンス方式のダイナミックRAMのデータ読み出し速度の高速化、アドレスによるアクセスバラツキの低減を図ることにある。

【構成】 コモンI/O線をリード用とライト用とに分離するとともに、データ線上にシェアードMOSを設け、このシェアードMOSにより読み出し時にリード用コモンI/O線以外のセンスアンプ、ライトI/O、ブリッヂチャージMOS等をデータ線から分離し、ダイレクトセンス方式により読み出した後、上記シェアードMOSをオンさせてセンスアンプでデータ線のレベル差を増幅し、選択されているメモリセルにリライトさせるようとする。

【効果】 リード時のデータ線容量を低減でき、データ線信号量が増加することにより、高速アクセス、アドレスによるアクセスバラツキの低減の効果がある。更に、チップ面積の増大、コストの増加を伴うことなくメモリの性能、信頼性を高めることができる。



【特許請求の範囲】

【請求項1】 各データ線対毎にセンスアンプを備えデータ線対のレベル差を検出するメインアンプがY系スイッチを介して接続可能にされた半導体記憶装置において、コモンI/O線をリード用とライト用とに分離するとともに、データ線上にスイッチMOSFETを設け、このスイッチMOSFETによってデータ読み出し時に少なくともセンスアンプをデータ線から分離し、ダイレクトセンス方式により読み出した後、上記スイッチMOSFETをオンさせてセンスアンプでデータ線のレベル差を增幅し、選択されているメモリセルに再書き込みさせるようにしたことを特徴とした半導体記憶装置。

【請求項2】 上記データ線上に設けられたスイッチMOSFETをオン、オフすることによって、センスアンプ、ライトI/Oおよびプリチャージ回路を2つのメモリアレイ間で共有可能にしたことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 上記データ線上に設けられたスイッチMOSFETをオン、オフすることによって、センスアンプおよびプリチャージMOSを2つメモリアレイ間で共有可能にされた半導体記憶装置において、データ線のプリチャージ期間は両側のスイッチMOSFETをオンさせ、読み出し時には両側のスイッチMOSFETを一度オフし、ダイレクトセンスした後、選択側のメモリアレイのスイッチMOSFETを電源電圧よりも高いレベルの信号でオンさせて再書き込みを行なうようにしたことを特徴する請求項1または請求項2の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体記憶装置の回路方式に適用して有効な技術に関し、特にダイレクトセンス方式のダイナミックRAMを利用して有効な技術に関するものである。

【0002】

【従来の技術】 従来のダイナミックRAMにおけるデータ読み出し方式としては、データ線を $V_{cc}/2$ レベルにプリチャージしておいて、ワード線立上り後適当なタイミングでデータ線に接続されたセンスアンプを駆動してデータ線に生じている電位差を増幅してから、Y系スイッチをオンさせてコモンI/O線を介してメインアンプに接続する $V_{cc}/2$ プリチャージ方式がある。

【0003】 これに対し、近年、センスアンプを駆動する前にY系スイッチをオンさせて、コモンI/O線を介してメインアンプに接続することで、読み出し速度の高速化を図ったダイレクトセンス方式のダイナミックRAMが実用化されている（日立製作所製、4メガビットBI-CMOSダイナミックRAM：HM574000）。

【0004】

【発明が解決しようとする課題】 この種のダイナミックRAMにおけるデータ線容量Cdは、データ線自身の配

線容量とセンスアンプ、I/Oへの接続スイッチMOS、プリチャージMOS等、データ線に接続されている回路の負荷容量との和であり、データ線の配線容量以外が占める割合は前述のダイナミックRAMで全体のほぼ1/3であった。ダイレクトセンス方式における高速アクセス、アクセスバラツキ低減の条件としてデータ読み出し信号が大きいことつまりメモリセル蓄積電荷容量Csとデータ線容量Cdとの比が大きいことが重要であるが、ダイナミックRAMの高集積化、大容量化がすすむ中、情報蓄積電荷容量Csを増大させるには加工技術、レイアウトの面で限界がある。

【0005】 そこで、高集積化、大容量化が要求されるダイナミックRAMでは、高速アクセスのため少しでも読み出し信号量を大きく得るために、溝堀キャバシタ等を用いたメモリセルの三次元化やデータ線の細分化という手段がとられているが、加工技術の限界、チップ面積の増大等、歩留、低コスト化を阻害する結果となっている。本発明では、加工技術、チップ面積等の制限により、情報蓄積電荷容量Csを大きくとれない場合でも、データ読み出し信号量を増大させる事ができ、高速アクセス、アクセスバラツキの低減を可能にするとともに、チップ面積の増大、コストの増加を伴うことなくメモリの性能、信頼性を高めることにある。

【0006】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。本発明は、データの読み出し方式にダイレクトセンス方式を用いたダイナミックRAMにおいて、データ読み出し時には比較的寄生容量の大きなセンスアンプは不要である点に着目し、コモンI/O線をリード用とライト用とに分離するとともに、データ線上にスイッチMOSFET（以下、シェアードMOSと称する）を設け、このシェアードMOSにより読み出し時にリード用コモンI/O線以外のセンスアンプ、ライトI/O、プリチャージMOS等をデータ線から分離し、ダイレクトセンス方式により読み出した後、上記シェアードMOSをオンさせてセンスアンプでデータ線のレベル差を増幅し、選択されているメモリセルにライト（再書き込み）させるようとするものである。また、シェアードMOSにより分離するリード用コモンI/O線以外のセンスアンプ、ライト用コモンI/O線、プリチャージMOS等を、データ線上に設けた2組のシェアードMOSをオン、オフすることによって2つのメモリアレイ間で共有させるようとする。

【0007】

【作用】 上記手段によれば、データ読み出し時はシェアードMOSをオフすることにより、データ線に接続されている回路をリード用コモンI/O線だけにでき、読み出し時のみかけ上のデータ線容量Cdを減らすことができ、これによって、メモリセル内の情報蓄積電荷容量Csを

増大させることなく読み出し時に大きなデータ線信号量を得ることができるようになる。その結果、高速アクセス、アクセスバラツキの低減を可能にするとともに、チップ面積の増大、コストの増加を伴うことなくメモリの性能、信頼性を高めることが可能となる。

【0008】

【実施例】以下、図1および図2を用いて本発明をダイナミックRAMに適用した場合の一実施例を説明する。図1は本発明を適用したダイナミックRAM全体のブロック図、図2は図1のうち、センスアンプを共有するデータ線1組を抜き出して示した回路図である。図1において、実施例のダイナミックRAMは特に制限されないが、2つのメモリアレイARY0、ARY1を備え、これらに対応してXデコーダXDEC0、XDEC1、及びYデコーダYDEC0、YDEC1を備えている。また、それぞれのメモリアレイに隣接して、リード用I/O RI/O0とRI/O1が配置されており、シェアードMOS SHR0、SHR1を介して、上記リード用I/O RI/O0とRI/O1間にセンスアンプS・A、ライト用I/O WI/O0、WI/O1およびプリチャージ用MOSFET回路PCMOS等の回路が共通回路として配置されている。なお、IOCはデータ入出力バッファ回路、I/Oはデータの共通入出力端子である。

【0009】XアドレスバッファXABは、クロック信号により動作するタイミングジェネレータTGからのXアドレス取込み信号XLの立上タイミングで外部からのアドレスを取り込み、XデコーダXDEC0、XDEC1にてワード線駆動信号が形成されて対応するワード線が一本選択され、データ読み書きのために選択レベルに変化される。同様にYアドレスバッファYABはタイミングジェネレータTGからのYアドレス取込み信号YLのタイミングでアドレスを取り込み、YデコーダYDEC0、YDEC1にて一組のデータ線が選択され、リードメインアンプR.MAまたはライトメインアンプW.MAに接続される。

【0010】上記メモリアレイARY0、ARY1内のワード線WLは、図2に示すように垂直方向に配置されており、データ線DL、DL'は水平方向に配置され、メモリセルMCはそれらの交点に配置されている。QD01、QD02は左側のメモリアレイARY0のデータ線DL、DL'のレベル差を検出するため設けられた差動MOSFET、QD11、QD12は右側のメモリアレイARY1のデータ線DL、DL'のレベル差を検出するため設けられた差動MOSFETで、これらの差動MOSFET QD01、QD02およびQD11、QD12のゲート端子がそれぞれデータ線DL、DL'に接続され、共通ソース端子は回路の接地点に接続されている。

【0011】また、差動MOSFET QD01、QD

02のドレン端子は、リード用カラムスイッチQy01、Qy02を介してリード用I/O線RI/O0に、また差動MOSFET QD11、QD12のドレン端子はカラムスイッチQy11、Qy12を介してリード用I/O線RI/O0とRI/O1にそれぞれ接続されている。リード用I/O線RI/O0とRI/O1の他端にはそれぞれリード用メインアンプR.MAが接続されている。さらに、左右のメモリアレイARY0、ARY1内のデータ線DL、DL'は、2組のスイッチMOSFETからなるシェアードMOS Qs01、Qs02とQs11、Qs12によって分離可能に構成されており、シェアードMOS Qs01、Qs02とQs11、Qs12の間に左右のメモリアレイARY0、ARY1に共通のセンスアンプS.Aと、Vcc/2プリチャージ回路PCMOSとが配置されている。

【0012】また、センスアンプS.AおよびVcc/2プリチャージ回路PCMOSとシェアードMOS Qs01、Qs02およびQs11、Qs12との間には、ライト用カラムスイッチQw01、Qw02とQw11、Qw12とが配置されており、これらのライト用カラムスイッチQw01、Qw02とQw11、Qw12を介して左右のメモリアレイARY0、ARY1内のデータ線DL、DL'がそれぞれライト用I/O線WI/O0、WI/O1に接続可能にされている。ライト用I/O線RI/O0とRI/O1の他端にはそれぞれライト用メインアンプW.MAが接続されている。なお、図2に示すMOSFETのうち、矢印の付加されているものはPチャネル型であり矢印の付加されないNチャネル型MOSFETと区別される。

【0013】以下、本実施例のダイナミックRAMの動作について説明する。スタンバイ時は、シェアード信号SHR0、SHR1が共にハイレベル(Vccレベル)にされており、両側のシェアードMOS Qs01、Qs02とQs11、Qs12がオンされる。また、プリチャージ信号PCがハイレベルに固定されることによりデータ線がVcc/2にプリチャージされる。データリード時には、図3に示すようにシェアード信号SHR0、SHR1がともにロウレベルに変化されることにより両側のシェアードMOS Qs01、Qs02とQs11、Qs12がオフされる。これにより、データ線容量がメモリアレイ部の配線容量とリード用カラムスイッチのゲート容量だけにされる。

【0014】アドレスバッファXABによるXアドレス信号の読み込みにより、メモリアレイARY0を選択した場合、選択メモリの蓄積電荷容量CsをシェアードMOS Qs01、Qs02により低減されたデータ線容量Cdとで再配分することにより、比較的大きなデータ線読み出し信号出力を得ることが出来、高速なダイレクトセンスが可能になる。リード用メインアンプR.MAによるセンスが終了すると、ライトが行なわれる。このリ

ライトは、アドレス X_i とシェアード信号 SHR_0 との論理により選択側のシェアードMOS Q_{S01}, Q_{S02} を、($V_{cc} + V_{th}$) レベル以上の電圧でオンさせ、センスアンプS. Aに接続することにより、データ線 D_L, D_L' の小さなレベル差を増幅させることで行なう(V_{th} はMOSFETのしきい値電圧)。なお、データ線のプリチャージ時には、図4に示すように、シェアード信号 SHR_0, SHR_1 を($V_{cc} + V_{th}$) レベルでなく、 V_{cc} レベルに変化させてシェアードMOS Q_{S01}, Q_{S02} または Q_{S11}, Q_{S12} をオンさせるようにしても良い。この実施例ではデータ線のプリチャージが $V_{cc}/2$ レベルであるので、リライト時やライト時のようにアンプの出力レベルを充分にデータ線 D_L, D_L' に伝える必要がないためである。上記シェアード信号 SHR は、外部から供給されるチップセレクト信号CE(本実施例ではRAS)と、ライトイネーブル信号WEと、アドレス信号 $X_0 \sim X_i$ から形成することができる。

【0015】データライト時には選択側のシェアードMOS Q_{S01}, Q_{S02} または Q_{S11}, Q_{S12} を($V_{cc} + V_{th}$) レベル以上の電圧でオンさせて、データ線 D_L, D_L' をライト用I/O線WI/O0またはWI/O1に接続することでライト用メインアンプW. MAにより、選択メモリセルにデータの書き込みを行なう。なお、上記実施例では、2組のシェアードMOS Q_{S01}, Q_{S02} または Q_{S11}, Q_{S12} 間に、センスアンプS. Aとプリチャージ回路PCMOSのみを共通回路として設け、ライト用カラムスイッチ Q_{W01}, Q_{W02} と Q_{W11}, Q_{W12} とライト用メインアンプW. MAはメモリアレイ毎に設けているが、ライト用カラムスイッチとライト用メインアンプを2つのメモリアレイ間で共有させるように構成することも可能である。

【0016】また、上記実施例では、リード用I/O線RI/O0とRI/O1の他端にはそれぞれリード用メインアンプR. MAが接続されているとしたが、リード用I/O線RI/O0とRI/O1上にも上記シェアードMOSと同様のスイッチMOSFETを設けてリード用メインアンプR. MAを2つのメモリアレイで共有するようにしてもよい。さらに、上記実施例では、2つのメモリアレイからなるダイナミックRAMにおいて各メモリアレイに各々リード用I/O線を有するタイプについて説明したが4つあるいは8つ等偶数のメモリアレイからなるダイナミックRAMにおいて2つのメモリアレイ間で1つのリード用I/O線を共有することができる。その場合、図5に示すように、4つのメモリアレイARY0, ARY1, ARY2, ARY3を横方向に並べて、メモリアレイARY1とARY2との間でリード用I/O線RI/OとメインアンプMAを共有させるようにしてもよい。さらにまた、リード用カラムスイッチ

Q_{y01}, Q_{y02} と Q_{y11}, Q_{y12} およびライト用カラムスイッチ Q_{w01}, Q_{w02} と Q_{w11}, Q_{w12} をオン、オフ制御する信号YSを伝達する信号線とデータ線 D_L, D_L' とを、それぞれ異なる配線層で形成することでメモリアレイのピッチを小さくし、チップ面積の低減を図るようにすると良い。

【0017】以上の本実施例に示されるように、この発明をダイナミックRAM等の半導体記憶装置に適用することで以下の作用効果が得られる。

(1) ダイレクトセンスによりデータ読出しを行なうダイナミックRAMにおいて、リード動作に直接関係しないセンスアンプ、ライトI/O、プリチャージMOS等をシェアードMOSにより分離することで、データ線容量を低減し、大きなデータ読出し信号を得ることができる。従って、高速アクセス、及びアクセスパラツキが低減されるという効果が得られる。

(2) リード動作に直接関係しないセンスアンプ、ライトI/O、プリチャージMOS等をシェアード分離方式で2つのアレイ間で共有するようにしているため、チップ面積の低減が図れる。

【0018】以上本発明の一実施例を具体的に示したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば上記実施例では、シェアードMOSによりセンスアンプS. Aとプリチャージ回路PCMOSを2つのメモリアレイのデータ線から分離可能に構成しているが、データ線の寄生容量はセンスアンプS. Aが最も大きいので、データ読出し時にセンスアンプのみデータ線から分離可能に構成するようにしても良い。以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるダイナミックRAMに適用したものについて説明したが、半導体記憶装置の読出し回路一般に利用することができる。

【0019】

【発明の効果】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記のとおりである。すなわち、データ読出し時に不要な回路部分をシェアードMOSにより分離することにより、メモリセル蓄積電荷容量Csを増加することなくCd/Csを下げることができため、データ読出し信号量の増加が可能になり、高速アクセスが実現できる。また、十分なデータ読出し信号によりアドレスによるアクセスパラツキが低減される。また、2つのメモリアレイ間で、センスアンプ、ライトI/O、プリチャージMOS等を共有できるためチップ面積を低減できる。

【図面の簡単な説明】

【図1】この発明が適用されたダイレクトセンス方式のダイナミックRAMの一実施例を示すブロック図。

【図2】図1のダイナミックRAMにおけるデータ線単位の回路構成例を示す回路図。

【図3】図1のダイナミックRAMにおけるデータ読出し時の信号のタイミングを示すタイムチャート。

【図4】図1のダイナミックRAMにおけるデータ線プリチャージ時のプリチャージ信号のレベルの他の例を示すタイムチャート。

【図5】この発明が適用されダイレクトセンス方式のダイナミックRAMのメモリアレイのマット構成の他の実施例を示すブロック図。

【符号の説明】

ARY0, ARY1 メモリアレイ

SHR0, SHR1 シェアードMOS

YAB Yアドレスバッファ

XAB Xアドレスバッファ

YDEC0, YDEC1 Yデコーダ

XDEC0, XDEC1 Xデコーダ

RI/00, RI/01 リード用I/O

WI/00, WI/01 ライト用I/O

S.A センスアンプ

PCMOS プリチャージMOS

TG タイミングジェネレータ

R.MA リードメインアンプ

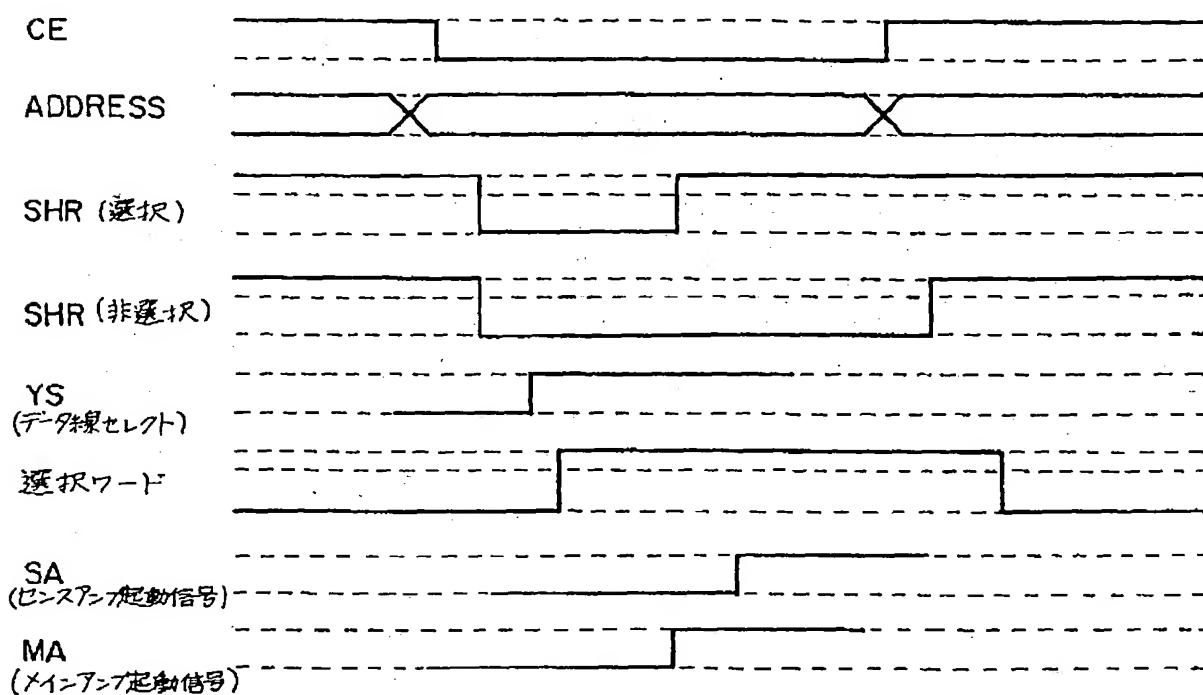
W.MA ライトメインアンプ

IOC データ入出力回路

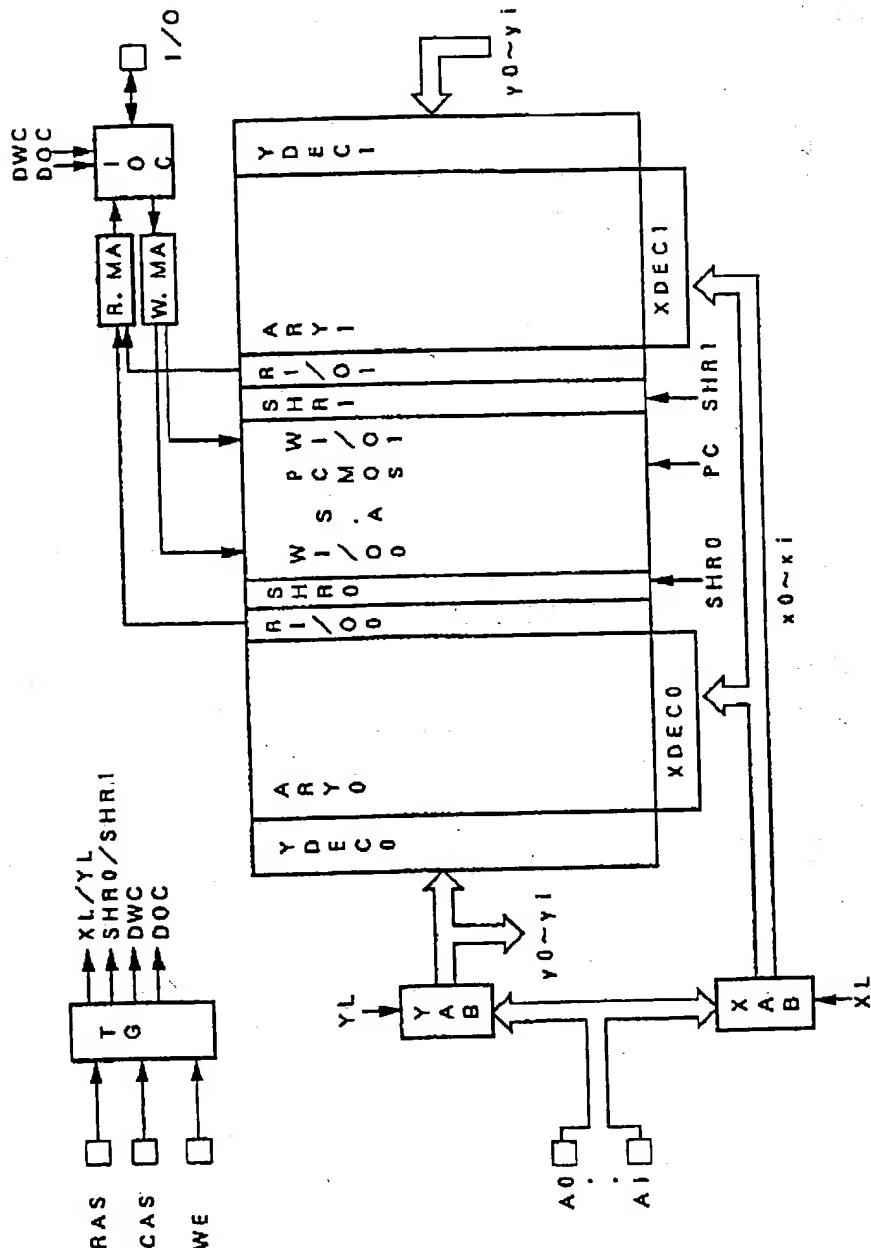
Qs01, Qs02 シェアードMOS (左側アレイ用)

Qs11, Qs12 シェアードMOS (右側アレイ用)

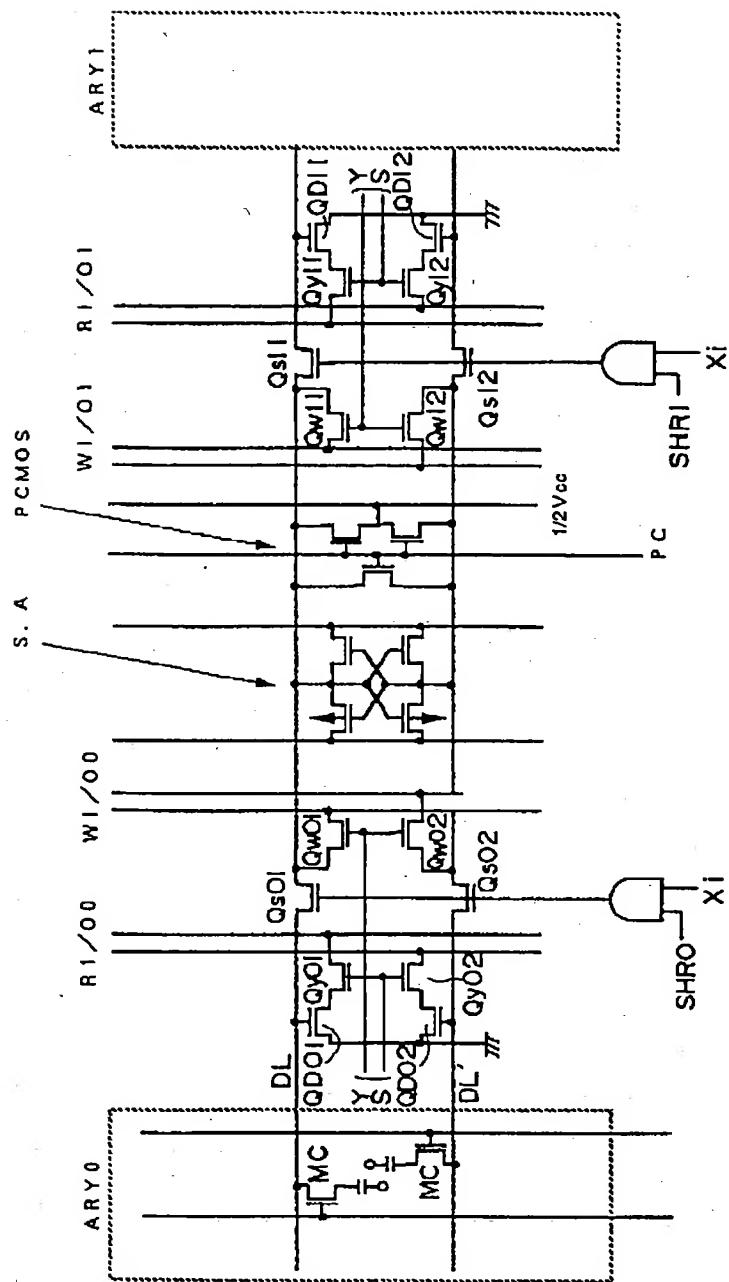
【図3】



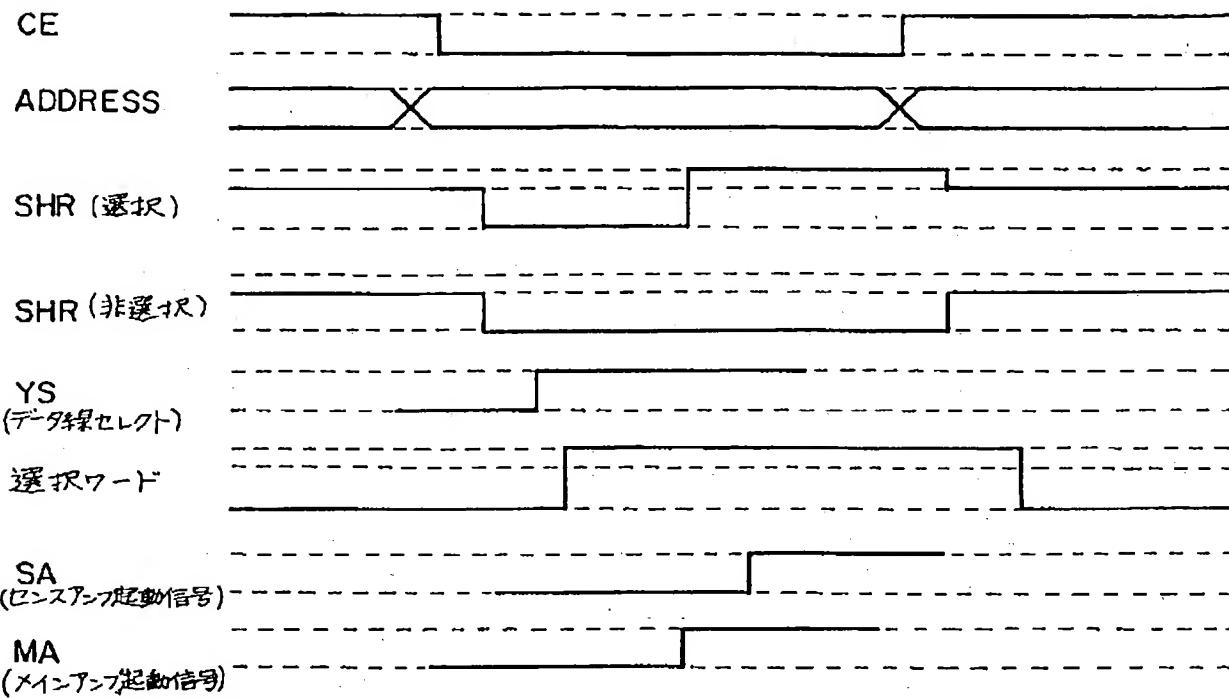
【図1】



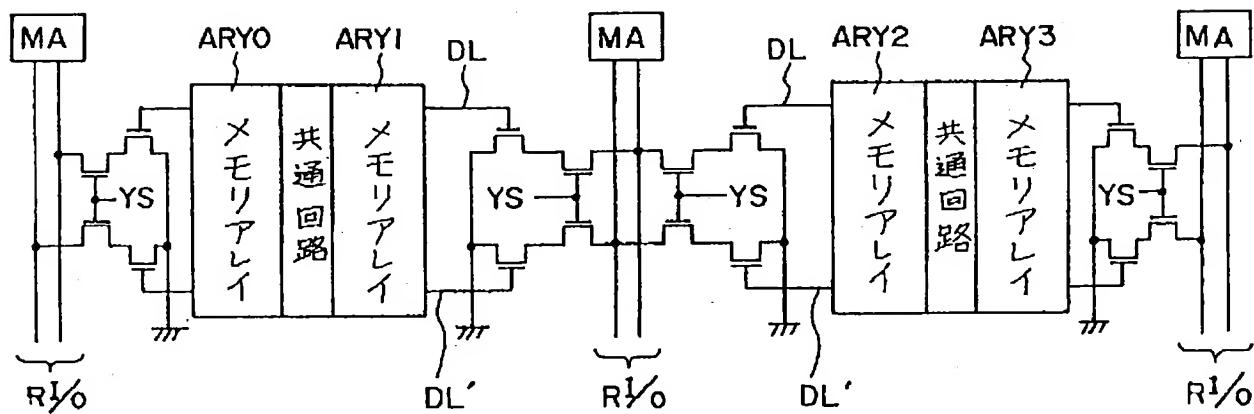
【図2】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.

識別記号

府内整理番号

F I

技術表示箇所

8728-4M

H 0 1 L 27/10

3 2 5 V